

Docket No.: 60188-791

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of : Customer Number: 20277
: :
Toshitaka TATSUNARI : Confirmation Number:
: :
Serial No.: : Group Art Unit:
: :
Filed: March 03, 2004 : Examiner: Unknown
: :
For: SEMICONDUCTOR DEVICE AND METHOD FOR FABRICATING THE SAME

CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT

Mail Stop CPD
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of:

Japanese Patent Application No. 2003-074731, filed March 19, 2003

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY

Michael E. Bogarty
Registration No. 36,139

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 MEF:tlb
Facsimile: (202) 756-8087
Date: March 3, 2004

60188-791
TATSUNARI
March 3, 2004

日本国特許庁
JAPAN PATENT OFFICE

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 Date of Application: 2003年 3月19日

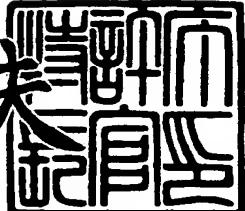
出願番号 Application Number: 特願2003-074731

[ST. 10/C]: [JP 2003-074731]

出願人 Applicant(s): 松下電器産業株式会社

2003-074731
P 32810

特許庁長官
Commissioner,
Japan Patent Office

2003年11月26日
今井康夫


【書類名】 特許願
【整理番号】 2926440153
【提出日】 平成15年 3月19日
【あて先】 特許庁長官 殿
【国際特許分類】 H01L 27/04
【発明者】
【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内
【氏名】 立成 利貴
【特許出願人】
【識別番号】 000005821
【氏名又は名称】 松下電器産業株式会社
【代理人】
【識別番号】 100077931
【弁理士】
【氏名又は名称】 前田 弘
【選任した代理人】
【識別番号】 100094134
【弁理士】
【氏名又は名称】 小山 廣毅
【選任した代理人】
【識別番号】 100110939
【弁理士】
【氏名又は名称】 竹内 宏
【選任した代理人】
【識別番号】 100110940
【弁理士】
【氏名又は名称】 嶋田 高久

【選任した代理人】

【識別番号】 100113262

【弁理士】

【氏名又は名称】 竹内 祐二

【選任した代理人】

【識別番号】 100115059

【弁理士】

【氏名又は名称】 今江 克実

【選任した代理人】

【識別番号】 100115691

【弁理士】

【氏名又は名称】 藤田 篤史

【選任した代理人】

【識別番号】 100117581

【弁理士】

【氏名又は名称】 二宮 克也

【選任した代理人】

【識別番号】 100117710

【弁理士】

【氏名又は名称】 原田 智雄

【選任した代理人】

【識別番号】 100121500

【弁理士】

【氏名又は名称】 後藤 高志

【選任した代理人】

【識別番号】 100121728

【弁理士】

【氏名又は名称】 井関 勝守

【手数料の表示】

【予納台帳番号】 014409

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0217869

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項1】 基板上に形成された第1の水素バリア膜と、
前記第1の水素バリア膜の上に形成された容量下部電極と、
前記第1の水素バリア膜の上に前記容量下部電極の側面を覆い且つ前記容量下部電極の上面を露出させるように形成された第1の絶縁膜と、
前記容量下部電極及び前記第1の絶縁膜の上に跨るように形成された絶縁性金属酸化物よりなる容量絶縁膜と、
前記容量絶縁膜の上に形成された容量上部電極と、
前記第1の絶縁膜の上に前記容量絶縁膜及び前記容量上部電極を覆うように形成され、前記容量上部電極の角部と対応する部位に傾斜部を有する第2の絶縁膜と、
前記第2の絶縁膜の上に形成された第2の水素バリア膜とを備えることを特徴とする半導体装置。

【請求項2】 基板上に形成された第1の水素バリア膜と、
前記第1の水素バリア膜の上に形成された容量下部電極と、
前記第1の水素バリア膜の上に前記容量下部電極の側面を覆い且つ前記容量下部電極の上面を露出させるように形成された第1の絶縁膜と、
前記容量下部電極及び前記第1の絶縁膜の上に跨るように形成された絶縁性金属酸化物よりなる容量絶縁膜と、
前記容量絶縁膜の上に形成された容量上部電極と、
前記第1の絶縁膜の上に前記容量絶縁膜及び前記容量上部電極を覆うように形成された第2の絶縁膜と、
前記第2の絶縁膜と異なる材料よりなり、前記第2の絶縁膜を覆うように形成されていると共に前記容量上部電極の角部と対応する部位がリフローにより滑らかになっている第3の絶縁膜と、
前記第3の絶縁膜の上に形成された第2の水素バリア膜とを備えることを特徴とする半導体装置。

【請求項3】 前記容量下部電極、前記容量絶縁膜及び前記容量上部電極よりなる強誘電体キャパシタは前記第1の水素バリア膜及び前記第2の水素バリア膜によって完全に覆われていることを特徴とする請求項1又は2に記載の半導体装置。

【請求項4】 前記第1の絶縁膜及び前記第2の絶縁膜は島状に形成されいると共に、前記第1の水素バリア膜の周端部と前記第2の水素バリア膜の下端部とが接続することにより、前記強誘電体キャパシタは前記第1の水素バリア膜及び前記第2の水素バリア膜によって完全に覆われていることを特徴とする請求項3に記載の半導体装置。

【請求項5】 前記容量下部電極は、下側から順次形成された、TiN膜、TiAlN膜、Ir膜、IrO₂膜及びPt膜からなる積層膜により構成されていることを特徴とする請求項1～4のうちいずれか1項に記載の半導体装置。

【請求項6】 前記第3の絶縁膜は、オゾンCVD法により形成された、ノンドープ型のシリコン酸化膜又はボロン及びリンのうちの少なくとも1つがドープされたシリコン酸化膜よりなることを特徴とする請求項2に記載の半導体装置。

【請求項7】 基板上に保護絶縁膜を介して第1の水素バリア膜を形成する工程と、

前記第1の水素バリア膜の上に容量下部電極を形成する工程と、

前記第1の水素バリア膜の上に前記容量下部電極の側面を覆い且つ前記容量下部電極の上面が露出するように第1の絶縁膜を形成する工程と、

前記容量下部電極及び前記第1の絶縁膜の上に跨るように、絶縁性金属酸化物よりなる容量絶縁膜を形成する工程と、

前記容量絶縁膜の上に容量上部電極を形成する工程と、

前記第1の絶縁膜の上に、前記容量絶縁膜及び前記容量上部電極を覆うように第2の絶縁膜を形成する工程と、

前記第2の絶縁膜における前記容量上部電極の角部と対応する部位に傾斜部を形成する工程と、

前記傾斜部を有する前記第2の絶縁膜の上に第2の水素バリア膜を形成する工程とを備えることを特徴とする半導体装置の製造方法。

【請求項8】 前記第2の絶縁膜における前記容量上部電極の角部と対応する部位に傾斜部を形成する工程は、前記第2の絶縁膜に対して不活性イオンをスパッタリングすることにより前記傾斜部を形成する工程を含むことを特徴とする請求項7に記載の半導体装置の製造方法。

【請求項9】 前記第2の絶縁膜における前記容量上部電極の角部と対応する部位に傾斜部を形成する工程は、前記第2の絶縁膜に対して全面エッチングを行なうことにより前記傾斜部を形成する工程を含むことを特徴とする請求項7に記載の半導体装置の製造方法。

【請求項10】 前記第2の絶縁膜に前記傾斜部を形成する工程と前記第2の水素バリア膜を形成する工程との間に、前記第2の絶縁膜及び前記第1の絶縁膜に対して選択的にエッチングを行なって、前記第2の絶縁膜及び前記第1の絶縁膜を島状に形成する工程を備え、

前記第2の水素バリア膜を形成する工程は、前記第1の水素バリア膜の周端部と前記第2の水素バリア膜の下端部とが接続することにより、前記容量下部電極、前記容量絶縁膜及び前記容量上部電極よりなる強誘電体キャパシタが前記第1の水素バリア膜及び前記第2の水素バリア膜によって完全に覆われるようとする工程を含むことを特徴とする請求項7～9のいずれか1項に記載の半導体装置の製造方法。

【請求項11】 基板上に保護絶縁膜を介して第1の水素バリア膜を形成する工程と、

前記第1の水素バリア膜の上に容量下部電極を形成する工程と、

前記第1の水素バリア膜の上に前記容量下部電極の側面を覆い且つ前記容量下部電極の上面が露出するよう第1の絶縁膜を形成する工程と、

前記容量下部電極及び前記第1の絶縁膜の上に跨るように、絶縁性金属酸化物よりなる容量絶縁膜を形成する工程と、

前記容量絶縁膜の上に容量上部電極を形成する工程と、

前記第1の絶縁膜の上に、前記容量絶縁膜及び前記容量上部電極を覆うように第2の絶縁膜を形成する工程と、

前記第2の絶縁膜の上に、前記第2の絶縁膜と異なる材料よりなる第3の絶縁

膜を形成する工程と、

前記第3の絶縁膜をリフローすることにより、前記第3の絶縁膜における前記容量上部電極の角部と対応する部位を滑らかにする工程と、

前記容量上部電極の角部と対応する部位が滑らかになっている前記第3の絶縁膜の上に第2の水素バリア膜を形成する工程とを備えることを特徴とする半導体装置の製造方法。

【請求項12】 前記第3の絶縁膜を形成する工程は、オゾンCVD法により、ノンドープ型のシリコン酸化膜又はボロン及びリンのうちの少なくとも1つがドープされたシリコン酸化膜よりなる前記第3の絶縁膜を形成する工程を含むことを特徴とする請求項11に記載の半導体装置の製造方法。

【請求項13】 前記第3の絶縁膜をリフローする工程と前記第2の水素バリア膜を形成する工程との間に、前記第3の絶縁膜、前記第2の絶縁膜及び前記第1の絶縁膜に対して選択的にエッチングを行なって、前記第3の絶縁膜、前記第2の絶縁膜及び前記第1の絶縁膜を島状に形成する工程を備え、

前記第2の水素バリア膜を形成する工程は、前記第1の水素バリア膜の周端部と前記第2の水素バリア膜の下端部とが接続することにより、前記容量下部電極、前記容量絶縁膜及び前記容量上部電極よりなる強誘電体キャパシタが前記第1の水素バリア膜及び前記第2の水素バリア膜によって完全に覆われるようにする工程を含むことを特徴とする請求項11又は12に記載の半導体装置の製造方法。

【請求項14】 前記容量下部電極は、下側から順次形成された、TiN膜、TiAlN膜、Ir膜、IrO₂膜及びPt膜からなる積層膜により構成されていることを特徴とする請求項7～13のうちいずれか1項に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、容量絶縁膜として絶縁性金属酸化物膜が用いられる強誘電体キャパシタを有する半導体装置及びその製造方法に関する。

【0002】

【従来の技術】

近年におけるデジタル技術の進展に伴い、大容量のデータを処理及び保存する傾向が推進される中で電子機器が一段と高度化しているため、電子機器に使用される半導体装置を構成する半導体記憶素子の微細化が急速に進んでいる。また、ダイナミックRAMの高集積化を実現するために、半導体記憶素子を構成する容量絶縁膜としては、従来のシリコン酸化物又はシリコン窒化物に代えて、高誘電体を用いる技術が広く研究開発されている。

【0003】

また、低電圧での動作並びに高速での書き込み及び読み出しが可能な不揮発性RAMの実用化を目指し、自発分極特性を有する強誘電体膜に関する研究開発が盛んに行われている。容量絶縁膜として強誘電体膜を用いる半導体記憶装置においては、水素の還元作用に起因して起きる強誘電体膜の自発分極特性の劣化又は喪失により、強誘電体膜が容量絶縁膜として機能しなくなる事態を防止する必要がある。特に強誘電体材料は酸素原子を持つ層状酸化物であるから、半導体装置の製造プロセスにおいて行なわれる水素雰囲気中での熱処理により簡単に還元されて、強誘電体膜の自発分極特性が容易に劣化又は喪失するという問題がある。

【0004】

半導体装置の製造プロセスにおいて行なわれる水素雰囲気中での熱処理の一例としては、アルミ配線を形成した後にトランジスタの特性を確保するために、例えば400℃の温度下で10～30分間程度行なわれる水素アニール等が挙げられる。

【0005】

以下、例えば、特許文献1に示されている、強誘電体膜よりなる容量絶縁膜を有する従来の半導体装置について図11を参照しながら説明する。

【0006】

図11に示すように、半導体基板10の表面部に埋め込み型の素子分離領域11が形成されている。素子分離領域11によって囲まれた領域における半導体基板10の上にはゲート絶縁膜12を介してゲート電極13が形成されていると共に

に、素子分離領域11によって囲まれた半導体基板10の表面部にはソース領域14及びドレイン領域15が形成されており、ドレイン領域15にはビット線16が接続されている。ゲート電極13、ソース領域14及びドレイン領域15によってメモリ素子用トランジスタとなる電界効果型トランジスタが構成されており、ゲート電極13はワード線となる。

【0007】

半導体基板10の上には、ゲート電極13、ソース領域14、ドレイン領域15及びビット線16を覆うように保護絶縁膜17が形成されており、該保護絶縁膜17には該保護絶縁膜17を貫通してソース領域14に延びるタンゲステンよりなるコンタクトプラグ18が埋め込まれており、保護絶縁膜17の上にはコンタクトプラグ18の上端と接続される容量下部電極19が形成されている。容量下部電極19は、Pt膜と、IrO₂膜、Ir膜及びTiAlN膜の積層膜よりなり酸素及び水素の透過を防止する導電性積層バリア膜とから構成されている。

【0008】

保護絶縁膜17の上における容量下部電極19同士の間にはシリコン窒化膜よりなる第1の水素バリア膜20が形成され、容量下部電極19及び第1の水素バリア膜20の上には、強誘電体膜よりなる容量絶縁膜21及び容量上部電極22が形成されており、容量下部電極19、容量絶縁膜21及び容量上部電極22によって強誘電体キャパシタが構成されている。

【0009】

ところで、容量絶縁膜21となる強誘電体膜を結晶化させるために行なわれる、例えば850℃の温度下における3分間の酸素アニール処理によって、コンタクトプラグを構成するタンゲステンと酸素とが異常反応を起こすことを防止するために、容量下部電極19を構成する導電性積層バリア膜にIrO₂膜とIr膜とが含まれている。

【0010】

第1の水素バリア膜20の上には、容量絶縁膜21及び容量上部電極22を覆うようにスパッタ法により形成されたAl₂O₃（アルミナ）又はTiAlO（チタンアルミオキサイド）よりなる第2の水素バリア膜23が形成されている。

【0011】**【特許文献1】**

特開平04-102367号公報

【0012】**【発明が解決しようとする課題】**

しかしながら、前述の半導体装置においては、容量絶縁膜21となる強誘電体膜を結晶化させるために行なわれる酸素アニール処理により、容量下部電極19の内部において剥離が発生するので、水素雰囲気中での熱処理工程において容量絶縁膜21に水素が侵入する事態を完全に防止することができないという第1の問題がある。

【0013】

また、第2の水素バリア膜23の結晶性及び被覆性が良くないために、第2の水素バリア膜23は水素の侵入を完全に防止することができないという第2の問題がある。

【0014】

前記に鑑み、本発明は、容量絶縁膜となる強誘電体膜を結晶化させるための酸素アニール処理において容量下部電極の内部に剥離が発生する事態を防止すると共に、第2の水素バリア膜の結晶性及び被覆性を向上させることにより、水素雰囲気中での熱処理工程において容量絶縁膜に水素が侵入する事態を確実に防止することを目的とする。

【0015】**【課題を解決するための手段】**

(第1の知見)

以下、第1の問題が発生するメカニズムについて、本件発明者が行なった考察について説明する。

【0016】

前述のように、容量絶縁膜21となる強誘電体膜を結晶化させるために、通常、650℃～850℃の温度範囲で酸素アニール処理が行なわれる。図12は、この酸素アニール処理によって引き起こされる第1の水素バリア膜20の熱スト

レスと半導体基板の温度との関係を表わす熱ストレスヒステリシス曲線を示している。尚、この場合の酸素アニール処理は、昇温レートが $+4\text{ }^{\circ}\text{C}/\text{min}$ であり、降温レートが $-10\text{ }^{\circ}\text{C}/\text{min}$ であり、 $850\text{ }^{\circ}\text{C}$ での保持時間は30分間の条件で行なわれた。また、縦軸の正は引っ張りストレスを示し、負は圧縮ストレスを示している。

【0017】

図12から分かるように、基板温度が $600\text{ }^{\circ}\text{C}$ 以上になると、第1の水素バリア膜20のストレスは圧縮方向から引っ張り方向に変化する。

【0018】

そこで、本件発明者は、ストレスの圧縮方向から引っ張り方向への変化により、容量下部電極19における積層界面、特にIr膜とTiAIN膜との界面での密着性がもともと悪いことと相俟って、容量下部電極19の内部において剥離が発生することを見出した。前述のように、容量下部電極19の内部で剥離が発生すると、剥離面が水素のパスになるので、容量絶縁膜22に水素が侵入する事態を完全に防止することは困難になる。

【0019】

本発明の第1の解決原理は、第1の水素バリア膜が受けるストレスが圧縮方向から引っ張り方向に変化しても、該ストレスの変化が容量下部電極に及ばないようにするものである。

【0020】

(第2の知見)

以下、第2の問題が発生するメカニズムについて、本件発明者が行なった考察について説明する。

【0021】

第2の水素バリア膜23は、通常、成膜中に水素が発生しないスパッタ法を用いて成膜された Al_2O_3 膜等よりなる。

【0022】

仮に、第2の水素バリア膜23となる Al_2O_3 膜をCVD法により形成する場合には、 $2\text{AlCl}_3 + 3\text{H}_2 + 3\text{CO}_2 \rightarrow \text{Al}_2\text{O}_3 + 3\text{CO} + 6\text{HCl}$ の反応が

起こる。この場合、成膜ガス中に水素が含まれているため、CVD法により第2の水素バリア膜23を成膜するだけで、強誘電体キャパシタが劣化するという不具合が発生する。

【0023】

従って、Al₂O₃膜等よりなる第2の水素バリア膜23は、通常、成膜中に水素が発生しないスパッタ法を用いて成膜されるが、スパッタ法は一般的に段差被覆性に劣る。

【0024】

そこで、本件発明者は、スパッタ法により第2の水素バリア膜23を形成すると、第2の水素バリア膜23における強誘電体キャパシタの角部と対応する部分において被覆性が悪くなり、水素に対するバリア性に重大な影響を与える結晶性及び緻密性が劣化するので、第2の水素バリア膜23の結晶粒界に沿って水素パスが発生するということを見出した。このため、第2の水素バリア膜は水素の侵入を完全に防止できなくなるのである。

【0025】

本発明の第2の解決原理は、第2の水素バリア膜における強誘電体キャパシタの角部と対応する部位の被覆性を向上させるものである。

【0026】

本発明は、前述の第1及び第2の知見に基づきなされたものである。

【0027】

本発明に係る第1の半導体装置は、基板上に形成された第1の水素バリア膜と、第1の水素バリア膜の上に形成された容量下部電極と、第1の水素バリア膜の上に容量下部電極の側面を覆い且つ容量下部電極の上面を露出させるように形成された第1の絶縁膜と、容量下部電極及び第1の絶縁膜の上に跨るように形成された絶縁性金属酸化物よりなる容量絶縁膜と、容量絶縁膜の上に形成された容量上部電極と、第1の絶縁膜の上に容量絶縁膜及び容量上部電極を覆うように形成され、容量上部電極の角部と対応する部位に傾斜部を有する第2の絶縁膜と、第2の絶縁膜の上に形成された第2の水素バリア膜とを備える。

【0028】

第1の半導体装置によると、容量下部電極は第1の水素バリア膜の上に設けられているため、第1の水素バリア膜が受けるストレスが圧縮方向から引っ張り方向に変化しても、該ストレスの変化は容量下部電極に悪影響を与えないで、容量下部電極の内部において剥離が発生しない。このため、容量下部電極の内部において水素のパスが形成されない。また、第2の水素バリア膜は、容量上部電極の角部と対応する部位に傾斜部を有する第2の絶縁膜の上に形成されているため、第2の水素バリア膜における容量上部電極の角部と対応する部位の被覆性が向上するので、第2の水素バリア膜の結晶性及び緻密性が向上する。このため、第2の水素バリア膜には結晶粒界に沿う水素パスが発生しなくなるので、第2の水素バリア膜は水素の侵入を確実に防止することができる。従って、第1の半導体装置によると、容量絶縁膜に水素が侵入する事態を確実に防止することができる。

【0029】

本発明に係る第2の半導体装置は、基板上に形成された第1の水素バリア膜と、第1の水素バリア膜の上に形成された容量下部電極と、第1の水素バリア膜の上に容量下部電極の側面を覆い且つ容量下部電極の上面を露出させるように形成された第1の絶縁膜と、容量下部電極及び第1の絶縁膜の上に跨るように形成された絶縁性金属酸化物よりなる容量絶縁膜と、容量絶縁膜の上に形成された容量上部電極と、第1の絶縁膜の上に容量絶縁膜及び容量上部電極を覆うように形成された第2の絶縁膜と、第2の絶縁膜と異なる材料よりなり、第2の絶縁膜を覆うように形成されていると共に容量上部電極の角部と対応する部位がリフローにより滑らかになっている第3の絶縁膜と、第3の絶縁膜の上に形成された第2の水素バリア膜とを備える。

【0030】

第2の半導体装置によると、容量下部電極は第1の水素バリア膜の上に設けられているため、第1の水素バリア膜が受けるストレスが圧縮方向から引っ張り方向に変化しても、該ストレスの変化は容量下部電極に悪影響を与えないで、容量下部電極の内部において剥離が発生しない。このため、容量下部電極の内部において水素のパスが形成されない。また、第2の水素バリア膜は、容量上部電極

の角部と対応する部位がリフローにより滑らかになっている第3の絶縁膜の上に形成されているため、第2の水素バリア膜における容量上部電極の角部と対応する部位の被覆性が向上するので、第2の水素バリア膜の結晶性及び緻密性が向上する。このため、第2の水素バリア膜には結晶粒界に沿う水素パスが発生しなくなるので、第2の水素バリア膜は水素の侵入を確実に防止することができる。従って、第2の半導体装置によると、容量絶縁膜に水素が侵入する事態を確実に防止することができる。

【0031】

第1又は第2の半導体装置において、容量下部電極、容量絶縁膜及び容量上部電極よりなる強誘電体キャパシタは第1の水素バリア膜及び第2の水素バリア膜によって完全に覆われていることが好ましい。

【0032】

このようにすると、容量絶縁膜に水素が侵入する事態をより確実に防止することができる。

【0033】

第1又は第2の半導体装置において、第1の絶縁膜及び第2の絶縁膜は島状に形成されていると共に、第1の水素バリア膜の周端部と第2の水素バリア膜の下端部とが接続することにより、強誘電体キャパシタは第1の水素バリア膜及び第2の水素バリア膜によって完全に覆われていることが好ましい。

【0034】

このようにすると、容量絶縁膜に水素が侵入する事態をより確実に防止することができる。

【0035】

第1又は第2の半導体装置において、容量下部電極が、下側から順次形成された、TiN膜、TiAlN膜、Ir膜、IrO₂膜及びPt膜からなる積層膜により構成されている場合に、本発明の効果は特に発揮される。

【0036】

すなわち、容量下部電極が前記の積層膜よりなる場合には、容量下部電極がストレスの変化の影響を受けると、容量下部電極における積層界面、特にIr膜と

TiAlN膜との界面での密着性が低下し易いが、第1又は第2の半導体装置によると、容量下部電極がストレスの変化の影響を受け難いので、容量下部電極における積層界面での密着性が低下し難い。

【0037】

第2の半導体装置において、第3の絶縁膜は、オゾンCVD法により形成され、ノンドープ型のシリコン酸化膜又はボロン及びリンのうちの少なくとも1つがドープされたシリコン酸化膜よりなることが好ましい。

【0038】

このようにすると、第3の絶縁膜における容量上部電極の角部と対応する部位をリフローにより確実に滑らかにすることができる。

【0039】

本発明に係る第1の半導体装置の製造方法は、基板上に保護絶縁膜を介して第1の水素バリア膜を形成する工程と、第1の水素バリア膜の上に容量下部電極を形成する工程と、第1の水素バリア膜の上に容量下部電極の側面を覆い且つ容量下部電極の上面が露出するように第1の絶縁膜を形成する工程と、容量下部電極及び第1の絶縁膜の上に跨るように、絶縁性金属酸化物よりなる容量絶縁膜を形成する工程と、容量絶縁膜の上に容量上部電極を形成する工程と、第1の絶縁膜の上に、容量絶縁膜及び容量上部電極を覆うように第2の絶縁膜を形成する工程と、第2の絶縁膜における容量上部電極の角部と対応する部位に傾斜部を形成する工程と、傾斜部を有する第2の絶縁膜の上に第2の水素バリア膜を形成する工程とを備える。

【0040】

第1の半導体装置の製造方法によると、容量下部電極は第1の水素バリア膜の上に設けられるため、第1の水素バリア膜が受けるストレスが圧縮方向から引っ張り方向に変化しても、該ストレスの変化は容量下部電極に悪影響を与えないで、容量下部電極の内部において剥離が発生しない。このため、容量下部電極の内部において水素のパスが形成されない。また、第2の水素バリア膜は、容量上部電極の角部と対応する部位に傾斜部を有する第2の絶縁膜の上に形成されるため、第2の水素バリア膜における容量上部電極の角部と対応する部位の被覆性が

向上するので、第2の水素バリア膜の結晶性及び緻密性が向上する。このため、第2の水素バリア膜には結晶粒界に沿う水素パスが発生しなくなるので、第2の水素バリア膜は水素の侵入を確実に防止することができる。従って、容量絶縁膜に水素が侵入する事態を確実に防止することができる。

【0041】

第1の半導体装置の製造方法において、第2の絶縁膜における容量上部電極の角部と対応する部位に傾斜部を形成する工程は、第2の絶縁膜に対して不活性イオンをスパッタリングすることにより傾斜部を形成する工程を含むことが好ましい。

【0042】

このように、第2の絶縁膜に対して不活性イオンをスパッタリングすると、第2の絶縁膜における容量上部電極の角部と対応する部位に傾斜部を確実に形成することができる。

【0043】

第1の半導体装置の製造方法において、第2の絶縁膜における容量上部電極の角部と対応する部位に傾斜部を形成する工程は、第2の絶縁膜に対して全面エッティングを行なうことにより傾斜部を形成する工程を含むことが好ましい。

【0044】

このように、第2の絶縁膜に対して全面エッティングを行なうと、第2の絶縁膜における容量上部電極の角部と対応する部位に傾斜部を確実に形成することができる。

【0045】

第1の半導体装置の製造方法は、第2の絶縁膜に傾斜部を形成する工程と第2の水素バリア膜を形成する工程との間に、第2の絶縁膜及び第1の絶縁膜に対して選択的にエッティングを行なって、第2の絶縁膜及び第1の絶縁膜を島状に形成する工程を備え、第2の水素バリア膜を形成する工程は、第1の水素バリア膜の周端部と第2の水素バリア膜の下端部とが接続することにより、容量下部電極、容量絶縁膜及び容量上部電極よりなる強誘電体キャパシタが第1の水素バリア膜及び第2の水素バリア膜によって完全に覆われるようとする工程を含むことが好

ましい。

【0046】

このようにすると、容量絶縁膜に水素が侵入する事態をより確実に防止することができる。

【0047】

本発明に係る第2の半導体装置の製造方法は、基板上に保護絶縁膜を介して第1の水素バリア膜を形成する工程と、第1の水素バリア膜の上に容量下部電極を形成する工程と、第1の水素バリア膜の上に容量下部電極の側面を覆い且つ容量下部電極の上面が露出するように第1の絶縁膜を形成する工程と、容量下部電極及び第1の絶縁膜の上に跨るように、絶縁性金属酸化物よりなる容量絶縁膜を形成する工程と、容量絶縁膜の上に容量上部電極を形成する工程と、第1の絶縁膜の上に、容量絶縁膜及び容量上部電極を覆うように第2の絶縁膜を形成する工程と、第2の絶縁膜の上に、第2の絶縁膜と異なる材料よりなる第3の絶縁膜を形成する工程と、第3の絶縁膜をリフローすることにより、第3の絶縁膜における容量上部電極の角部と対応する部位を滑らかにする工程と、容量上部電極の角部と対応する部位が滑らかになっている第3の絶縁膜の上に第2の水素バリア膜を形成する工程とを備える。

【0048】

第2の半導体装置の製造方法によると、容量下部電極は第1の水素バリア膜の上に設けられるため、第1の水素バリア膜が受けるストレスが圧縮方向から引っ張り方向に変化しても、該ストレスの変化は容量下部電極に悪影響を与えないので、容量下部電極の内部において剥離が発生しない。このため、容量下部電極の内部において水素のパスが形成されない。また、第2の水素バリア膜は、容量上部電極の角部と対応する部位がリフローにより滑らかになっている第3の絶縁膜の上に形成されるため、第2の水素バリア膜における容量上部電極の角部と対応する部位の被覆性が向上するので、第2の水素バリア膜の結晶性及び緻密性が向上する。このため、第2の水素バリア膜には結晶粒界に沿う水素パスが発生しなくなるので、第2の水素バリア膜は水素の侵入を確実に防止することができる。従って、容量絶縁膜に水素が侵入する事態を確実に防止することができる。

【0049】

第2の半導体装置の製造方法において、第3の絶縁膜を形成する工程は、オゾンCVD法により、ノンドープ型のシリコン酸化膜又はボロン及びリンのうちの少なくとも1つがドープされたシリコン酸化膜よりなる第3の絶縁膜を形成する工程を含むことが好ましい。

【0050】

このようにすると、第3の絶縁膜における容量上部電極の角部と対応する部位をリフローにより確実に滑らかにことができる。

【0051】

第2の半導体装置の製造方法は、第3の絶縁膜をリフローする工程と第2の水素バリア膜を形成する工程との間に、第3の絶縁膜、第2の絶縁膜及び第1の絶縁膜に対して選択的にエッチングを行なって、第3の絶縁膜、第2の絶縁膜及び第1の絶縁膜を島状に形成する工程を備え、第2の水素バリア膜を形成する工程は、第1の水素バリア膜の周端部と第2の水素バリア膜の下端部とが接続することにより、容量下部電極、容量絶縁膜及び容量上部電極よりなる強誘電体キャパシタが第1の水素バリア膜及び第2の水素バリア膜によって完全に覆われるようとする工程を含むことが好ましい。

【0052】

このようにすると、容量絶縁膜に水素が侵入する事態をより確実に防止することができる。

【0053】

第1又は第2の半導体装置の製造方法は、容量下部電極が、下側から順次形成された、TiN膜、TiAlN膜、Ir膜、IrO₂膜及びPt膜からなる積層膜により構成されている場合に特に効果的である。

【0054】

すなわち、容量下部電極が前記の積層膜よりなる場合には、容量下部電極がストレスの変化の影響を受けると、容量下部電極における積層界面、特にIr膜とTiAlN膜との界面での密着性が低下し易いが、第1又は第2の半導体装置の製造方法により得られる半導体装置においては、容量下部電極がストレスの変化

の影響を受け難いので、容量下部電極における積層界面での密着性が低下し難い。

【0055】

【発明の実施の形態】

(第1の実施形態)

以下、本発明の第1の実施形態に係る半導体装置について、図1を参照しながら説明する。

【0056】

図1は第1の実施形態に係る半導体装置の断面構造を示しており、図1に示すように、シリコンよりなる半導体基板100の表面部に埋め込み型の素子分離領域101が形成されている。素子分離領域101によって囲まれた領域における半導体基板100の上にはゲート絶縁膜102を介してゲート電極103が形成されていると共に、素子分離領域101によって囲まれた半導体基板100の表面部にはソース領域104及びドレイン領域105が形成されている。ゲート電極103、ソース領域104及びドレイン領域105の表面部にはコバルトシリサイド層106が形成されている。ゲート電極103、ソース領域104及びドレイン領域105によってメモリ素子用トランジスタとなる電界効果型トランジスタが構成されており、ゲート電極103はワード線となる。

【0057】

半導体基板100の上には、ゲート電極103、ソース領域104及びドレイン領域105を覆うように保護絶縁膜107が形成されており、該保護絶縁膜107の上における所定領域には第1の水素バリア膜108が形成されている。第1の水素バリア膜108及び保護絶縁膜107を貫通して延びるようにタンゲステンよりなるコンタクトプラグ109が埋め込まれており、該コンタクトプラグ109の下端はソース領域104と接続されている。

【0058】

第1の水素バリア膜108の上にはコンタクトプラグ109の上端と接続される導電膜110が設けられると共に、導電膜110の上に容量下部電極111が形成されており、導電膜110及び容量下部電極111の周囲は、上面が容

量下部電極111の上面と面一である第1の絶縁膜112により取り囲まれている。

【0059】

容量下部電極111及び第1の絶縁膜112の上には強誘電体膜よりなる容量絶縁膜113が形成され、該容量絶縁膜113の上には容量上部電極114が形成されており、容量下部電極111、容量絶縁膜113及び容量上部電極114によって強誘電体キャパシタが構成されている。

【0060】

第1の絶縁膜112の上には強誘電体キャパシタを覆うように第2の絶縁膜115が設けられており、該第2の絶縁膜115における強誘電体キャパシタの角部と対応する部分には傾斜部115aが設けられている。

【0061】

第1の水素バリア膜108、第1の絶縁膜112及び第2の絶縁膜115を覆うように第2の水素バリア膜116が形成されており、該第2の水素バリア膜116の下端部と第1の水素バリア膜108の周端部とは接続されている。

【0062】

以下、第1の実施形態に係る半導体装置の第1の製造方法について、図2(a)～(c) 及び図3(a)～(c) を参照しながら説明する。

【0063】

まず、図2(a)に示すように、シリコンよりなる半導体基板100の表面部に300nm～750nmの厚さを持つ埋め込み型の素子分離領域101を形成した後、素子分離領域101によって囲まれた領域における半導体基板100の上に3nm～12nmの厚さを持つゲート絶縁膜102を形成する。次に、ゲート絶縁膜102の上に70nm～200nmの厚さを持つノンドープ型アモルファスシリコン膜を堆積した後、該アモルファスシリコン膜をドライエッチングによりパターニングしてゲート電極103を形成する。

【0064】

次に、素子分離領域101によって囲まれた半導体基板100の表面部にゲート電極103をマスクにボロンイオンを $5 \sim 10 \times 10^{15} / \text{cm}^2$ のドーズ量で

イオン注入した後、650°C～850°Cの温度範囲で10～30分間の活性化アニールを行なって、ソース領域104及びドレイン領域105を形成する。また、ゲート電極103、ソース領域104及びドレイン領域105の表面部には5nm～20nmの厚さを持つコバルトシリサイド層106を形成する。

【0065】

次に、半導体基板100の上には、ゲート電極103、ソース領域104及びドレイン領域105を覆うように300nm～700nmの厚さを持つBPSG膜よりなる保護絶縁膜107を形成する。このBPSG膜においては、ボロン濃度は0.5wt%～2.5wt%に設定すると共に、リン濃度は1.0wt%～6.0wt%に設定する。次に、CVD法により保護絶縁膜107の上に50nm～200nmの厚さを持つSiN膜（シリコン窒化膜）よりなる第1の水素バリア膜108を堆積する。

【0066】

次に、第1の水素バリア膜108及び保護絶縁膜107にコンタクトホールを形成した後、CVD法により第1の水素バリア膜108の上に全面に亘ってタンゲステン膜を堆積し、その後、該タンゲステン膜に対してエッチバック又はCMPを行なうことにより、第1の水素バリア膜108及び保護絶縁膜107を貫通して延びるコンタクトプラグ109を形成する。

【0067】

次に、図2(b)に示すように、CVD法により第1の水素バリア膜108の上に5nm～50nmの厚さを持つTiN膜を堆積した後、スパッタ法によりTiN膜の上に、上層から順に積層された、50nm～150nmの厚さを持つPt膜、50nm～150nmの厚さを持つIrO₂膜、50nm～150nmの厚さを持つIr膜及び10nm～100nmの厚さを持つTiAIN膜よりなる積層膜を堆積し、その後、TiN膜及び積層膜をパターニングして、TiN膜よりなる導電膜110と積層膜よりなる容量下部電極111とを形成する。

【0068】

次に、HDP（ハイ・デンシティー・プラズマ）-CVD法により、第1の水素バリア膜108の上に導電膜110及び容量下部電極111を覆うように15

5 nm～800 nmの厚さを持つ第1の絶縁膜112を堆積する。

【0069】

次に、図2(c)に示すように、CMP法により、第1の絶縁膜112に対して容量下部電極111が露出するまで研磨を行なって、第1の絶縁膜112の上面を容量下部電極111の上面と面一にする。

【0070】

次に、MOD(有機金属分解)法、MOCVD(有機金属化学気相成膜)法、スパッタ法又は塗布法により、容量下部電極111及び第1の絶縁膜112の上に、50 nm～150 nmの厚さを持つSrBi₂(Ta_{1-x}Nb_x)₂O₉膜よりなるビスマス層状ペロブスカイト構造を有する強誘電体膜を形成した後、スパッタ法により、強誘電体膜の上に50 nm～100 nmの厚さを持つ白金膜を堆積し、その後、白金膜及び強誘電体膜をパターニングすることにより、強誘電体膜よりなる容量絶縁膜113と白金膜よりなる容量上部電極114とを形成する。これによって、容量下部電極111、容量絶縁膜113及び容量上部電極114よりなる強誘電体キャパシタが形成される。

【0071】

次に、図3(a)に示すように、第1の絶縁膜112の上に容量絶縁膜113及び容量上部電極114を覆うように50 nm～300 nmの厚さを持つシリコン酸化膜よりなる第2の絶縁膜115を形成した後、第2の絶縁膜115に対してアルゴンプラズマ雰囲気中でアルゴンイオンをスパッタリングすることにより、第2の絶縁膜115における容量上部電極114の角部と対応する部分に傾斜部115aを形成する。アルゴンスパッタリングは、例えばソースパワー：350 W、バイアスパワー：250 W及びアルゴンガス流量：5 mL/m in (標準状態)の条件で120秒間行なう。この場合、第2の絶縁膜115に傾斜部115aを形成するスパッタリングにおいては、第2の絶縁膜115の傾斜部115aにおいて容量上部電極114の角部が露出しないようにする。

【0072】

次に、図3(b)に示すように、第2の絶縁膜115、第1の絶縁膜112及び第1の水素バリア膜108に対して選択的にドライエッチングを行なって、第2

の絶縁膜115、第1の絶縁膜112及び第1の水素バリア膜108を島状にする。この場合においても、第2の絶縁膜115の傾斜部115aにおいて容量上部電極114の角部が露出しないようにする。

【0073】

次に、酸素雰囲気中の650℃～850℃の温度下において15秒間～5分間のRTA（ラピッド・サーマル・アニール）による酸素アニールを行なうことにより、容量絶縁膜113の構成する強誘電体膜を結晶化させる。

【0074】

図12で説明したように、この酸素アニールにより第1の水素バリア膜108にストレス変化が起きる。ところが、第1の水素バリア膜108のストレス変化は導電膜110及び第1の絶縁膜112によって緩和されるので、容量下部電極111の積層界面、特にIr膜とTiAlN膜との界面において剥離が発生しない。

【0075】

次に、図3(c)に示すように、スパッタ法により、島状にエッチングされている、第2の絶縁膜115、第1の絶縁膜112及び第1の水素バリア膜108を完全に覆うと共に5nm～100nmの厚さを持つAl₂O₃膜又はTiAlO膜よりなる第2の水素バリア膜116を堆積した後、第2の水素バリア膜116をパターニングして、島状の第2の絶縁膜115、第1の絶縁膜112及び第1の水素バリア膜108を取り囲む部分以外の領域を除去する。この場合においても、第2の水素バリア膜116の下部と第1の水素バリア膜108の周端部との接続は確実に確保しておく。

【0076】

第1の実施形態によると、第2の水素バリア膜116は、強誘電体キャパシタの角部と対応する部分に傾斜部115aを有する第2の絶縁膜115の上に堆積されるため、スパッタ法により堆積されるにもかかわらず、第2の水素バリア膜116における強誘電体キャパシタの角部と対応する部分の被覆性が向上している。このため、第2の水素バリア膜116の全ての領域において結晶性及び緻密性が向上し、水素パスの発生を防止できるので、水素バリア機能が向上する。

【0077】

以下、第1の実施形態を評価するために行なった試験結果について説明する。

図9は、導電膜110となるTiN膜の膜厚と、容量下部電極111とコンタクトプラグ109とのコンタクト抵抗との関係を示しており、図9から明らかなように、TiN膜の膜厚が0の場合、つまり導電膜110が設けられていない場合にはコンタクト抵抗にばらつきが見られるが、TiN膜の膜厚が10nm、20nm及び40nmの場合には、コンタクト抵抗が小さい値で安定している。これらのことから、導電膜110が設けられていない場合には、容量下部電極111の積層界面において剥離が発生してコンタクト抵抗がばらつくが、導電膜110が設けられている場合には、容量下部電極111の積層界面において剥離が発生しないためにコンタクト抵抗が小さく且つ安定することが分かる。

【0078】

図10は、図11に示した従来の半導体装置、第1の実施形態に係る半導体装置及び強誘電体膜単体（リファレンス）における強誘電体膜の分極量を示している。図10から分かるように、第1の実施形態によると、製造プロセスにおいて発生する水素により容量絶縁膜113を構成する強誘電体膜が還元されて劣化する事態を防止できるため、強誘電体膜の分極量の劣化を低減することができる。また、第1の実施形態によると、容量絶縁膜113を構成する強誘電体膜の分極量は、強誘電体膜単体（リファレンス）における強誘電体膜の分極量と殆ど変わらない。

【0079】

(第2の実施形態)

以下、本発明の第2の実施形態として、第1の実施形態に係る半導体装置の第2の製造方法について図4(a)～(c)及び図5(a)～(c)を参照しながら説明する。尚、第2の製造方法により製造される半導体装置は、第1の実施形態つまり第1の製造方法により製造される半導体装置に比べて、第2の絶縁膜115における強誘電体キャパシタと対応する部位に形成される傾斜部115aが滑らかな形状を有している点においてのみ異なる。

【0080】

まず、第1の実施形態と同様にして、図4(a)に示すように、シリコンよりも半導体基板100の表面部に300nm～750nmの厚さを持つ埋め込み型の素子分離領域101を形成した後、素子分離領域101によって囲まれた領域における半導体基板100の上に3nm～12nmの厚さを持つゲート絶縁膜102を形成する。次に、ゲート絶縁膜102の上に70nm～200nmの厚さを持つノンドープ型アモルファスシリコン膜を堆積した後、該アモルファスシリコン膜をドライエッチングによりパターニングしてゲート電極103を形成する。次に、素子分離領域101によって囲まれた半導体基板100の表面部にゲート電極103をマスクにボロンイオンをイオン注入した後、活性化アニールを行なって、ソース領域104及びドレイン領域105を形成する。また、ゲート電極103、ソース領域104及びドレイン領域105の表面部には5nm～20nmの厚さを持つコバルトシリサイド層106を形成する。

[0 0 8 1]

次に、半導体基板100の上には、ゲート電極103、ソース領域104及びドレイン領域105を覆うように300nm～700nmの厚さを持つBPSG膜よりなる保護絶縁膜107を形成した後、CVD法により保護絶縁膜107の上に50nm～200nmの厚さを持つSiN膜よりなる第1の水素バリア膜108を堆積する。次に、第1の水素バリア膜108及び保護絶縁膜107にコンタクトホールを形成した後、CVD法により第1の水素バリア膜108の上に全面に亘ってタンゲステン膜を堆積し、その後、該タンゲステン膜に対してエッチバック又はCMPを行なうことにより、第1の水素バリア膜108及び保護絶縁膜107を貫通して延びるコンタクトプラグ109を形成する。

【0082】

次に、図4(b)に示すように、CVD法により第1の水素バリア膜108の上に5nm～50nmの厚さを持つTiN膜を堆積した後、スパッタ法によりTiN膜110の上に、上層から順に積層された、50nm～150nmの厚さを持つPt膜、50nm～150nmの厚さを持つIrO₂膜、50nm～150nmの厚さを持つIr膜及び10nm～100nmの厚さを持つTiAlN膜よりなる積層膜を堆積し、その後、TiN膜及び積層膜をパターニングして、TiN

膜よりなる導電膜110と積層膜よりなる容量下部電極111とを形成する。

【0083】

次に、HDP-CVD法により、第1の水素バリア膜108の上に導電膜110及び容量下部電極111を覆うように155nm～800nmの厚さを持つ第1の絶縁膜112を堆積する。

【0084】

次に、図4(c)に示すように、CMP法により、第1の絶縁膜112に対して容量下部電極111が露出するまで研磨を行なって、第1の絶縁膜112の上面を容量下部電極111の上面とを面一にする。

【0085】

次に、MOD(有機金属分解)法、MOCVD(有機金属化学気相成膜)法、スパッタ法又は塗布法により、容量下部電極111及び第1の絶縁膜112の上に、50nm～150nmの厚さを持つ $\text{SrBi}_2(\text{Ta}_{1-x}\text{Nb}_x)_2\text{O}_9$ 膜よりなるビスマス層状ペロブスカイト構造を有する強誘電体膜を形成した後、スパッタ法により、強誘電体膜の上に50nm～100nmの厚さを持つ白金膜を堆積し、その後、白金膜及び強誘電体膜をパターニングすることにより、強誘電体膜よりなる容量絶縁膜113と白金膜よりなる容量上部電極114とを形成する。これによって、容量下部電極111、容量絶縁膜113及び容量上部電極114よりなる強誘電体キャパシタが形成される。

【0086】

次に、図5(a)に示すように、第1の絶縁膜112の上に容量絶縁膜113及び容量上部電極114を覆うように50nm～300nmの厚さを持つシリコン酸化膜よりなる第2の絶縁膜115を形成した後、例えば酸化膜エッティング装置を用いて、第2の絶縁膜115に対して全面エッティングを行なうことにより、第2の絶縁膜115における容量上部電極114の角部と対応する部分に滑らかな傾斜部115aを形成する。全面エッティングは、例えばソースパワー：2200W、バイアスパワー：1300W、チャンバーの圧力：0.665Pa、 C_2F_6 ガス流量：40mL/min(標準状態)、 O_2 ガス流量：2mL/min(標準状態)の条件で10秒間行なう。この場合、第2の絶縁膜115に滑らかな傾

斜部115aを形成する全面エッチングにおいては、第2の絶縁膜115の傾斜部115aにおいて容量上部電極111及び容量絶縁膜113の角部が露出しないようにする。

【0087】

次に、図5(b)に示すように、第2の絶縁膜115、第1の絶縁膜112及び第1の水素バリア膜108に対して選択的にドライエッチングを行なって、第2の絶縁膜115、第1の絶縁膜112及び第1の水素バリア膜108を島状にする。この場合においても、第2の絶縁膜115の傾斜部115aにおいて容量上部電極111及び容量絶縁膜113の角部が露出しないようにする。

【0088】

次に、酸素雰囲気中の650℃～850℃の温度下において15秒間～5分間のRTAによる酸素アニールを行なうことにより、容量絶縁膜113の構成する強誘電体膜を結晶化させる。

【0089】

図12で説明したように、この酸素アニールにより第1の水素バリア膜108にストレス変化が起きるが、第1の水素バリア膜108のストレス変化は導電膜110及び第1の絶縁膜112によって緩和されるので、容量下部電極111の積層界面、特にIr膜とTiAlN膜との界面において剥離が発生しない。

【0090】

次に、図5(c)に示すように、スパッタ法により、島状にエッチングされている、第2の絶縁膜115、第1の絶縁膜112及び第1の水素バリア膜108を完全に覆うと共に5nm～100nmの厚さを持つAl₂O₃膜又はTiAlO膜よりなる第2の水素バリア膜116を堆積した後、第2の水素バリア膜116をパターニングして、島状の第2の絶縁膜115、第1の絶縁膜112及び第1の水素バリア膜108を取り囲む部分以外の領域を除去する。この場合においても、第2の水素バリア膜116の下部と第1の水素バリア膜108の周端部との接続は確実に確保しておく。

【0091】

第2の実施形態によると、強誘電体キャパシタの角部と対応する部分に滑らか

な傾斜部115aを有する第2の絶縁膜115の上に第2の水素バリア膜116を堆積するため、スパッタ法により堆積されるにもかかわらず、第2の水素バリア膜116における強誘電体キャパシタの角部と対応する部分の被覆性が向上している。このため、第2の水素バリア膜116の全ての領域において結晶性及び緻密性が向上し、水素バスの発生を防止できるので、水素バリア機能が向上する。

【0092】

(第3の実施形態)

以下、第3の実施形態に係る半導体装置について、図6を参照しながら説明する。

【0093】

図6は第3の実施形態に係る半導体装置の断面構造を示しており、図6に示すように、シリコンよりなる半導体基板200の表面部に埋め込み型の素子分離領域201が形成されている。素子分離領域201によって囲まれた領域における半導体基板200の上にはゲート絶縁膜202を介してゲート電極203が形成されていると共に、素子分離領域201によって囲まれた半導体基板200の表面部にはソース領域204及びドレイン領域205が形成されている。ゲート電極203、ソース領域204及びドレイン領域205の表面部にはコバルトシリサイド層206が形成されている。ゲート電極203、ソース領域204及びドレイン領域205によってメモリ素子用トランジスタとなる電界効果型トランジスタが構成されており、ゲート電極203はワード線となる。

【0094】

半導体基板200の上には、ゲート電極203、ソース領域204及びドレイン領域205を覆うように保護絶縁膜207が形成されており、該保護絶縁膜207の上における所定領域には第1の水素バリア膜208が形成されている。第1の水素バリア膜208及び保護絶縁膜207を貫通して延びるようにタンゲステンよりなるコンタクトプラグ209が埋め込まれており、該コンタクトプラグ209の下端はソース領域204と接続されている。

【0095】

第1の水素バリア膜208の上にはコンタクトプラグ209の上端と接続される導電膜210が設けられていると共に、導電膜210の上に容量下部電極211が形成されており、導電膜210及び容量下部電極211の周囲は、上面が容量下部電極211の上面と面一である第1の絶縁膜212により取り囲まれている。

【0096】

容量下部電極211及び第1の絶縁膜212の上には強誘電体膜よりなる容量絶縁膜213が形成され、該容量絶縁膜213の上には容量上部電極214が形成されており、容量下部電極211、容量絶縁膜213及び容量上部電極214によって強誘電体キャパシタが構成されている。

【0097】

第1の絶縁膜212の上には、強誘電体キャパシタを覆うように、ノンドープ型のシリコン酸化膜よりなる第2の絶縁膜215とBPSG膜よりなる第3の絶縁膜216とが形成されている。尚、第3の絶縁膜216としては、BPSG膜に代えて、ノンドープ型のシリコン酸化膜又はボロン若しくはリンがドープされたシリコン酸化膜を用いてもよい。

【0098】

第1の水素バリア膜208、第1の絶縁膜212、第2の絶縁膜215及び第3の絶縁膜216を覆うように第2の水素バリア膜217が形成されており、該第2の水素バリア膜217の下端部と第1の水素バリア膜208の周端部とは接続されている。

【0099】

以下、第3の実施形態に係る半導体装置の第1の製造方法について、図7(a)～(c) 及び図8(a)～(c) を参照しながら説明する。

【0100】

まず、図7(a)に示すように、シリコンよりなる半導体基板200の表面部に300nm～750nmの厚さを持つ埋め込み型の素子分離領域201を形成した後、素子分離領域201によって囲まれた領域における半導体基板200の上に3nm～12nmの厚さを持つゲート絶縁膜202を形成する。次に、ゲート

絶縁膜202の上に70nm～200nmの厚さを持つノンドープ型アモルファスシリコン膜を堆積した後、該アモルファスシリコン膜をドライエッチングによりパターニングしてゲート電極203を形成する。

【0101】

次に、素子分離領域201によって囲まれた半導体基板200の表面部にゲート電極203をマスクにボロンイオンを $5 \sim 10 \times 10^{15} / \text{cm}^2$ のドーズ量でイオン注入した後、650℃～850℃の温度範囲で10～30分間の活性化アニールを行なって、ソース領域204及びドレイン領域205を形成する。また、ゲート電極203、ソース領域204及びドレイン領域205の表面部には5nm～20nmの厚さを持つコバルトシリサイド層206を形成する。

【0102】

次に、半導体基板200の上には、ゲート電極203、ソース領域204及びドレイン領域205を覆うように300nm～700nmの厚さを持つBPSG膜よりなる保護絶縁膜207を形成する。このBPSG膜においては、ボロン濃度は0.5wt%～2.5wt%に設定すると共に、リン濃度は1.0wt%～6.0wt%に設定する。次に、CVD法により保護絶縁膜207の上に50nm～200nmの厚さを持つSiN膜（シリコン窒化膜）よりなる第1の水素バリア膜208を堆積する。

【0103】

次に、第1の水素バリア膜208及び保護絶縁膜207にコンタクトホールを形成した後、CVD法により第1の水素バリア膜208の上に全面に亘ってタンゲステン膜を堆積し、その後、該タンゲステン膜に対してエッチバック又はCMPを行なうことにより、第1の水素バリア膜208及び保護絶縁膜207を貫通して延びるコンタクトプラグ209を形成する。

【0104】

次に、図7(b)に示すように、CVD法により第1の水素バリア膜208の上に5nm～50nmの厚さを持つTiN膜を堆積した後、スパッタ法によりTiN膜の上に、上層から順に積層された、50nm～150nmの厚さを持つPt膜、50nm～150nmの厚さを持つIrO₂膜、50nm～150nmの厚

さを持つIr膜及び10nm～100nmの厚さを持つTiAlN膜よりなる積層膜を堆積し、その後、TiN膜及び積層膜をパターニングして、TiN膜よりなる導電膜210と積層膜よりなる容量下部電極211とを形成する。

【0105】

次に、HDP-CVD法により、第1の水素バリア膜208の上に導電膜210及び容量下部電極211を覆うように155nm～800nmの厚さを持つ第1の絶縁膜212を堆積する。

【0106】

次に、図7(c)に示すように、CMP法により、第1の絶縁膜212に対して容量下部電極211が露出するまで研磨を行なって、第1の絶縁膜212の上面を容量下部電極211の上面と面一にする。

【0107】

次に、MOD(有機金属分解)法、MOCVD(有機金属化学気相成膜)法、スパッタ法又は塗布法により、容量下部電極211及び第1の絶縁膜212の上に、50nm～150nmの厚さを持つSrBi₂(Ta_{1-x}Nb_x)₂O₉膜よりなるビスマス層状ペロブスカイト構造を有する強誘電体膜を形成した後、スパッタ法により、強誘電体膜の上に50nm～100nmの厚さを持つ白金膜を堆積し、その後、白金膜及び強誘電体膜をパターニングすることにより、強誘電体膜よりなる容量絶縁膜213と白金膜よりなる容量上部電極214とを形成する。これによって、容量下部電極211、容量絶縁膜213及び容量上部電極214よりなる強誘電体キャパシタが形成される。

【0108】

次に、図8(a)に示すように、例えばCVD法により、第1の絶縁膜212の上に容量絶縁膜213及び容量上部電極214を覆うように50nm～200nmの厚さを持つノンドープ型のシリコン酸化膜よりなり拡散防止膜となる第2の絶縁膜215を堆積する。この場合、第2の絶縁膜215は、例えば、O₃の濃度：11wt%、O₃ガスの流量：5500mL/min(標準状態)、Heガスの流量：4000mL/min(標準状態)、N₂ガスの流量：2000mL/min(標準状態)、TEOS(Si(OCH₃)₄)ガスの流量：350m

g/m²、温度：400°C、圧力：6650Pa、時間：10秒間の条件で堆積する。

【0109】

次に、例えばオゾンCVD法により、第2の絶縁膜215の上に、300nm～700nmの厚さを持つBPSG膜よりなる第3の絶縁膜216を堆積する。このBPSG膜においては、ボロン濃度は0.5wt%～6.0wt%に設定すると共に、リン濃度は1.0wt%～6.0wt%に設定する。また、このBPSG膜は、例えば、O₃濃度：11wt%、O₃ガスの流量：4000mL/m² (標準状態)、He₂ガスの流量：4000mL/m² (標準状態)、N₂ガスの流量：2000mL/m² (標準状態)、TEOSガスの流量：500mg/m²、TMPO (PO(OCH₃)₃) ガスの流量：23mg/m²、TEB (B(OCH₂H₅)₃) ガスの流量：100mg/m²、温度：480°C、圧力：26600Pa、時間：50秒の条件で堆積する。尚、第3の絶縁膜216としては、プロセスガスに、TMPO (PO(OCH₃)₃) ガス及びTEB (B(OCH₂H₅)₃) ガスのうちの少なくとも1つを添加しないで、BPSG膜に代えて、ノンドープ型のシリコン酸化膜又はボロン若しくはリンがドープされたシリコン酸化膜を形成してもよい。

【0110】

次に、第3の絶縁膜216、第2の絶縁膜215、第1の絶縁膜212及び第1の水素バリア膜208に対して選択的にドライエッティングを行なって、第3の絶縁膜216、第2の絶縁膜215、第1の絶縁膜212及び第1の水素バリア膜208を島状にする。この場合、第3の絶縁膜216及び第2の絶縁膜215において容量上部電極214の角部が露出しないようにする。

【0111】

次に、図8(b)に示すように、酸素雰囲気中の650°C～850°Cの温度下において15秒間～30分間のRTAによる酸素アニールを行なうことにより、容量絶縁膜113の構成する強誘電体膜を結晶化させると共に第3の絶縁膜216をリフローさせる。このリフローにより、第3の絶縁膜216における強誘電体キャパシタの角部と対応する部分が滑らかになる。この場合、BPSG膜よりな

る第3の絶縁膜216と、容量上部電極214及び容量絶縁膜213との間にノンドープ型のシリコン酸化膜よりなる第2の絶縁膜215が介在しているため、第3の絶縁膜216を構成するボロン又はリンが容量上部電極214及び容量絶縁膜213に拡散する事態が防止される。

【0112】

次に、図8(c)に示すように、スパッタ法により、島状にエッチングされている、第3の絶縁膜216、第2の絶縁膜215、第1の絶縁膜212及び第1の水素バリア膜208を完全に覆うと共に5nm～100nmの厚さを持つAl₂O₃膜又はTiAlO膜よりなる第2の水素バリア膜217を堆積した後、第2の水素バリア膜217をパターニングして、島状の第3の絶縁膜216、第2の絶縁膜215、第1の絶縁膜212及び第1の水素バリア膜208を取り囲む部分以外の領域を除去する。この場合においても、第2の水素バリア膜217の下部と第1の水素バリア膜208の周端部との接続は確実に確保しておく。

【0113】

第3の実施形態によると、第3の絶縁膜216をリフローさせて第3の絶縁膜216における強誘電体キャパシタの角部と対応する部分を滑らかにしておいてから第2の水素バリア膜217を堆積するため、スパッタ法により堆積されるにもかかわらず、第2の水素バリア膜217における強誘電体キャパシタの角部と対応する部分の被覆性が向上している。このため、第2の水素バリア膜217の全ての領域において結晶性及び緻密性が向上し、水素バスの発生を防止できるので、第2の水素バリア膜217の水素バリア機能が向上する。

【0114】

また、第3の絶縁膜216をリフローさせる工程は、容量絶縁膜213を構成する強誘電体膜を結晶化させる工程と同じ酸素アニールによって行なわれるため、工程数の増加を抑制することができる。

【0115】

【発明の効果】

第1若しくは第2の半導体装置又は第1若しくは第2の半導体装置の製造方法によると、容量下部電極は第1の水素バリア膜の上に設けられていると共に、第

2の水素バリア膜は、容量上部電極の角部と対応する部位に傾斜部を有する第2の絶縁膜の上に形成されているため、容量絶縁膜に水素が侵入する事態を確実に防止することができる。

【図面の簡単な説明】

【図1】

第1の実施形態に係る半導体装置の断面図である。

【図2】

(a)～(c)は第1の実施形態に係る半導体装置の第1の製造方法の各工程を示す断面図である。

【図3】

(a)～(c)は第1の実施形態に係る半導体装置の第1の製造方法の各工程を示す断面図である。

【図4】

(a)～(c)は第1の実施形態に係る半導体装置の第2の製造方法の各工程を示す断面図である。

【図5】

(a)～(c)は第1の実施形態に係る半導体装置の第2の製造方法の各工程を示す断面図である。

【図6】

第3の実施形態に係る半導体装置の断面図である。

【図7】

(a)～(c)は第3の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【図8】

(a)～(c)は第3の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【図9】

第1の実施形態に係る半導体装置において、導電膜となるTiN膜の膜厚と、容量下部電極とコンタクトプラグとのコンタクト抵抗との関係を示す図である。

【図10】

従来の半導体装置、第1の実施形態に係る半導体装置及び強誘電体膜単体における強誘電体膜の分極量を示す図である。

【図11】

従来の半導体装置の断面図である。

【図12】

酸素アニール処理によって引き起こされる第1の水素バリア膜の熱ストレスと半導体基板の温度との関係を表わす熱ストレスヒステリシス曲線を示す図である。

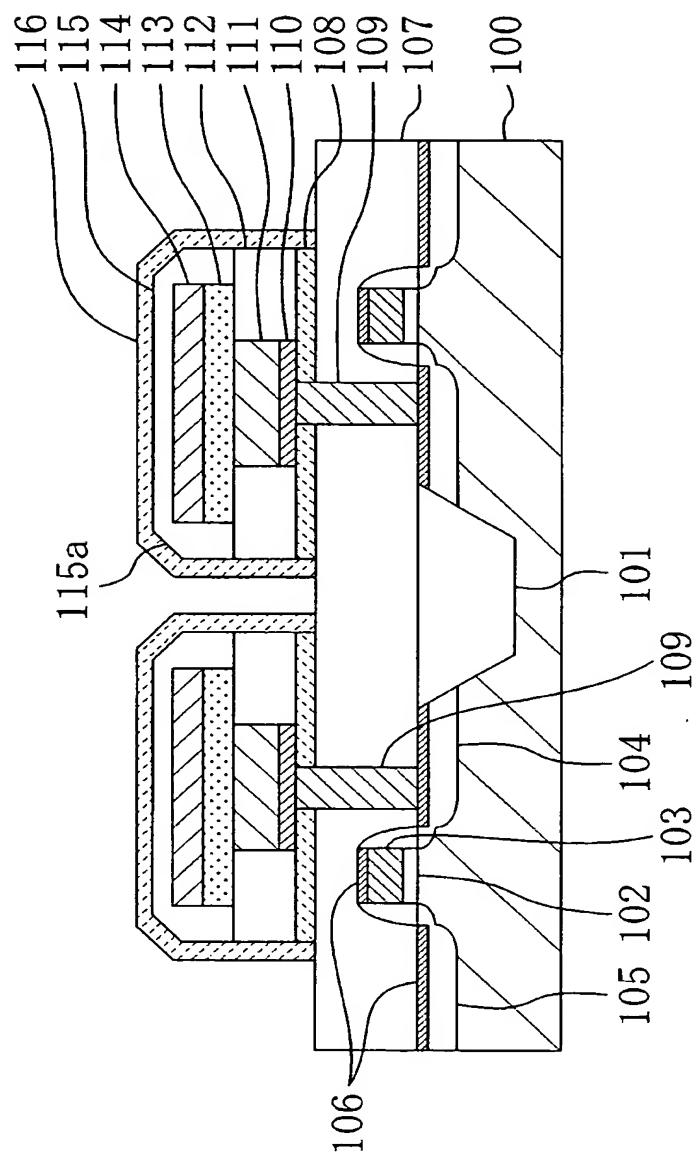
【符号の説明】

- 100 半導体基板
- 101 素子分離領域
- 102 ゲート絶縁膜
- 103 ゲート電極
- 104 ソース領域
- 105 ドレイン領域
- 106 コバルトシリサイド
- 107 保護絶縁膜
- 108 コンタクトプラグ
- 109 導電膜
- 110 導電膜
- 111 容量下部電極
- 112 第1の絶縁膜
- 113 容量絶縁膜
- 114 容量上部電極
- 115 第2の絶縁膜
- 116 第2の水素バリア膜
- 200 半導体基板
- 201 素子分離領域

- 202 ゲート酸化膜
- 203 ゲート電極
- 204 ソース領域
- 205 ドレイン領域
- 206 コバルトシリサイド層
- 207 保護絶縁膜
- 208 第1の水素バリア膜
- 209 コンタクトプラグ
- 210 導電膜
- 211 容量下部電極
- 212 第1の絶縁膜
- 213 容量絶縁膜
- 214 容量上部電極
- 215 第2の絶縁膜
- 216 第3の絶縁膜
- 217 第2の水素バリア膜

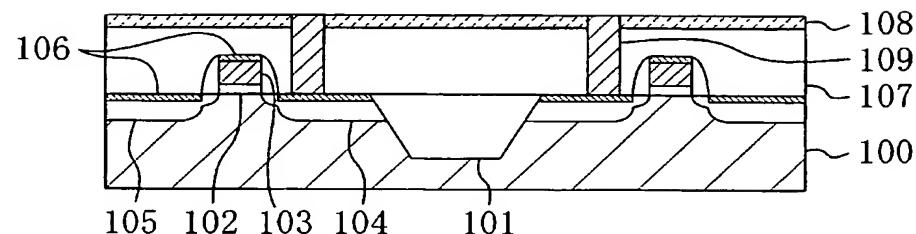
【書類名】 図面

【図1】

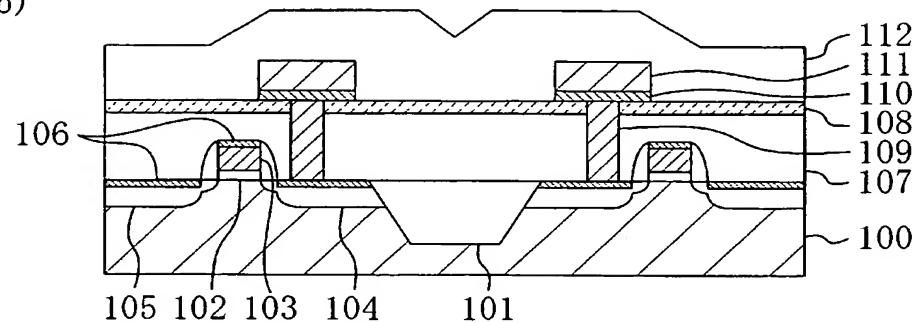


【図2】

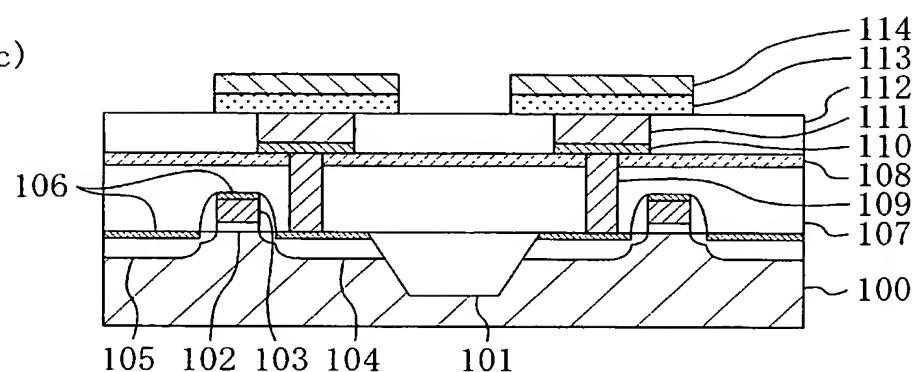
(a)



(b)

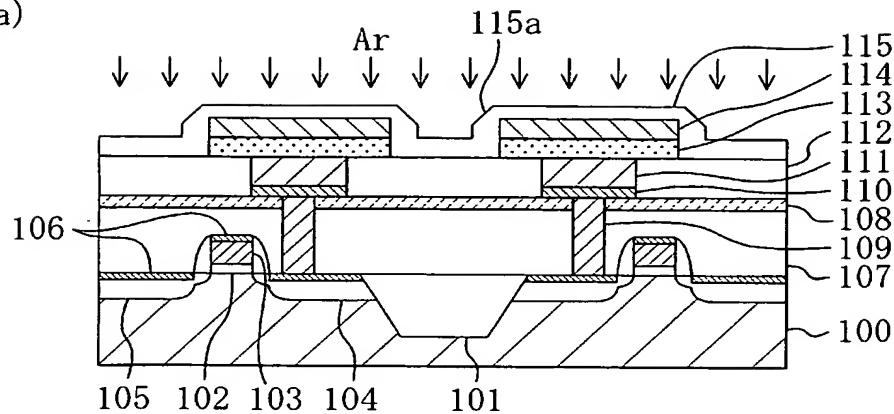


(c)

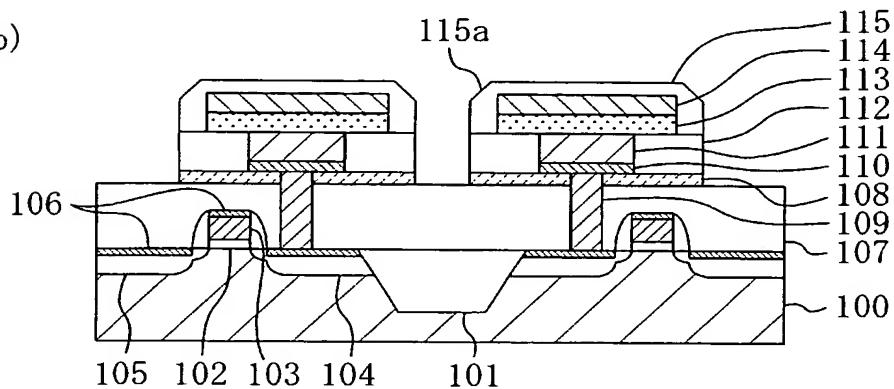


【図 3】

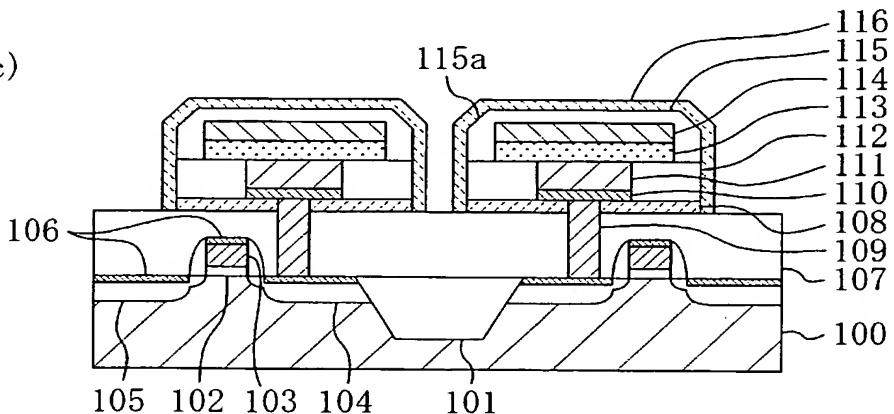
(a)



(b)

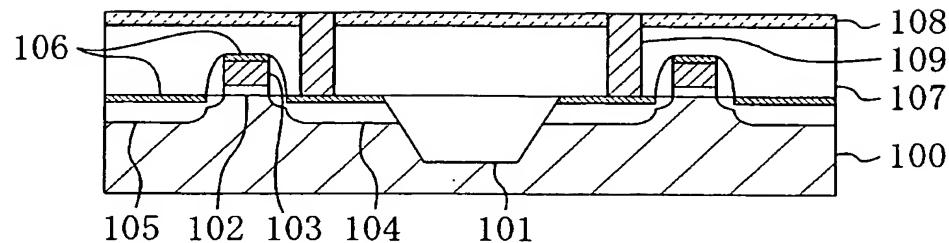


(c)

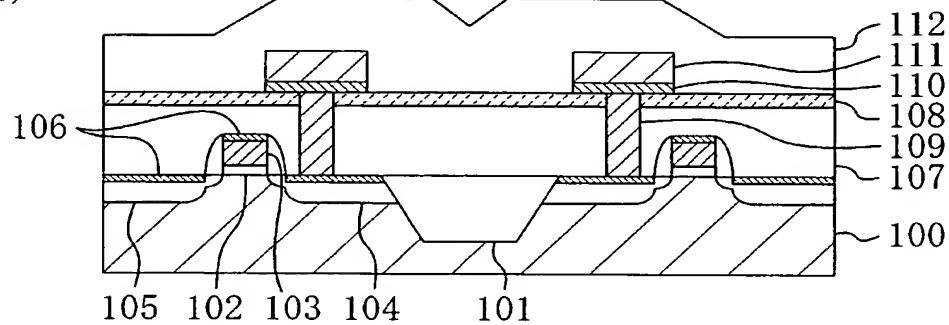


【図4】

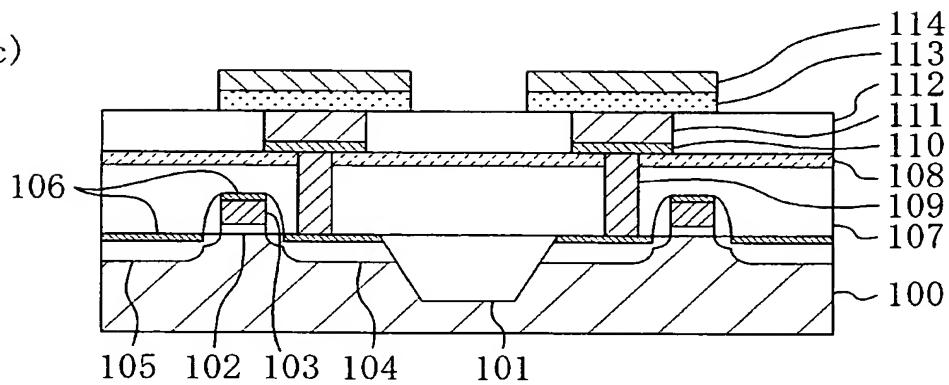
(a)



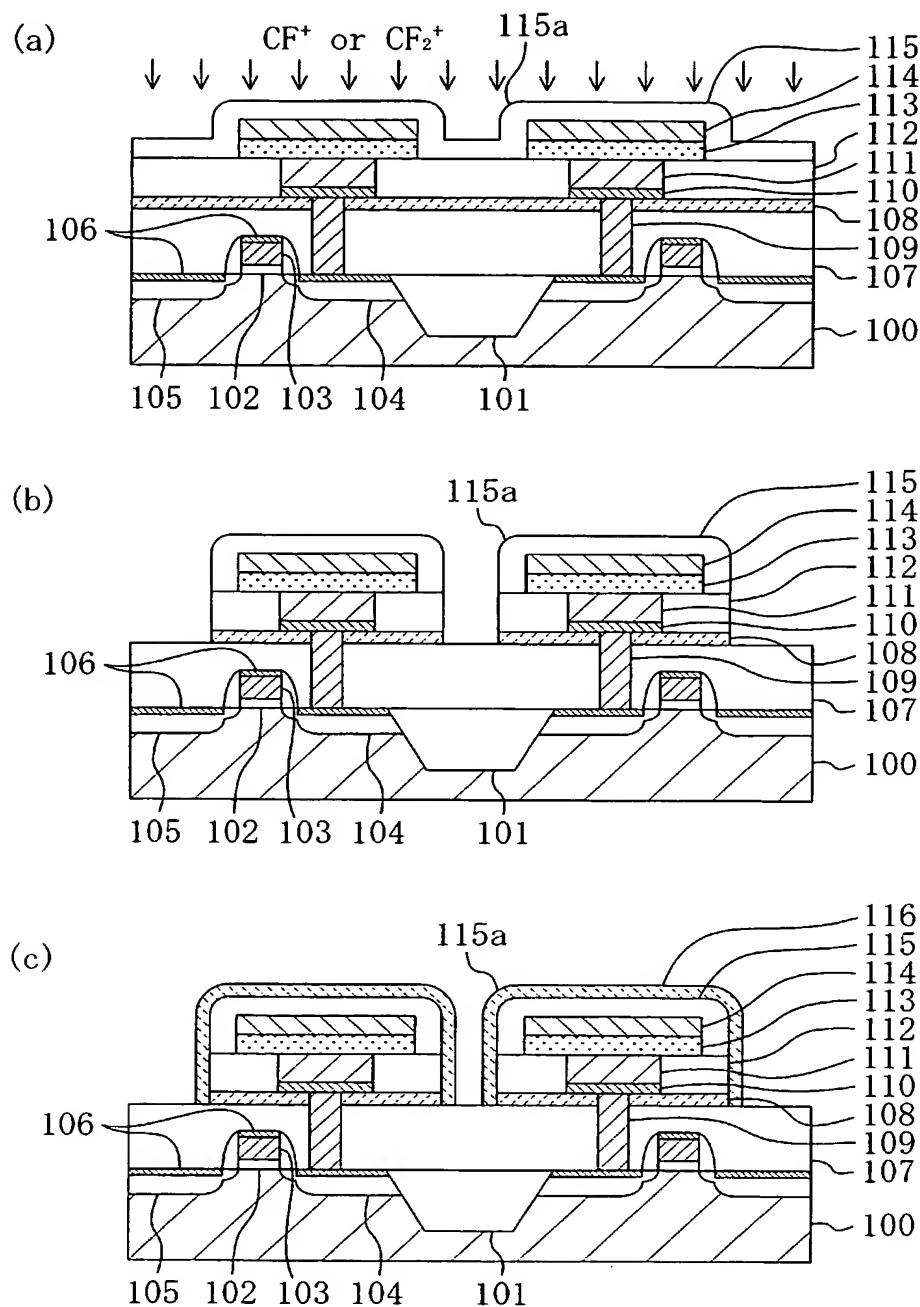
(b)



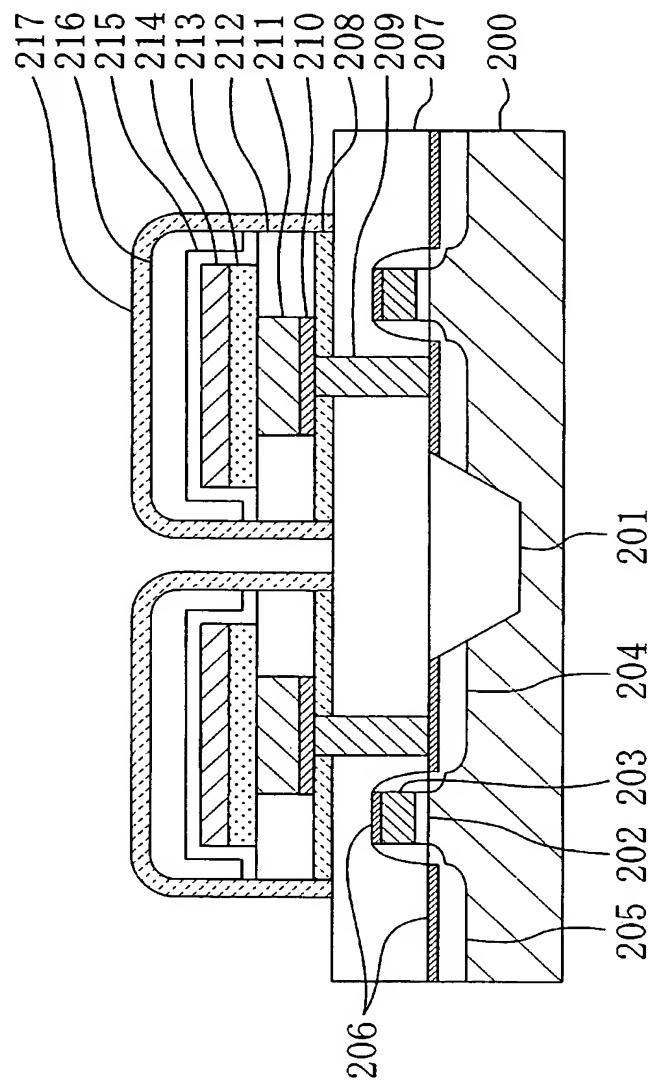
(c)



【図5】

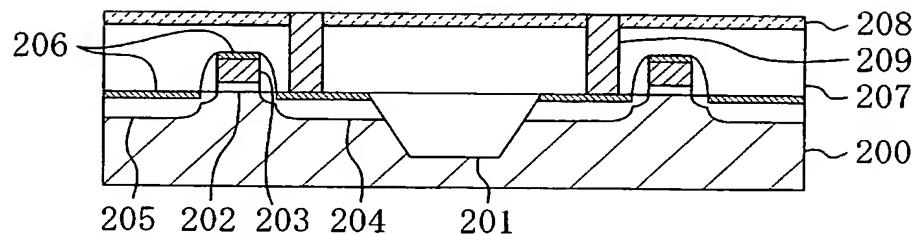


【図6】

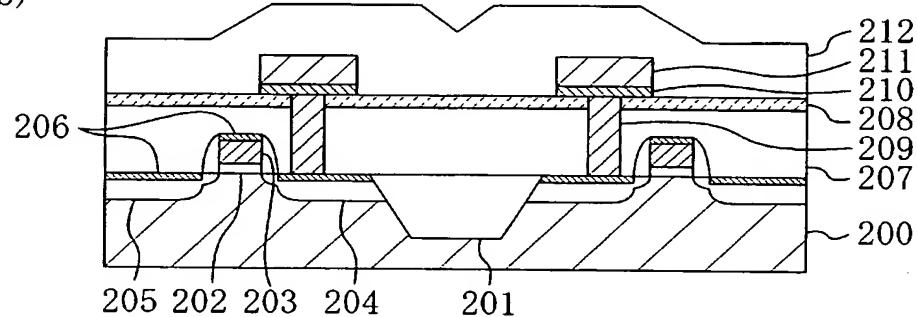


【図 7】

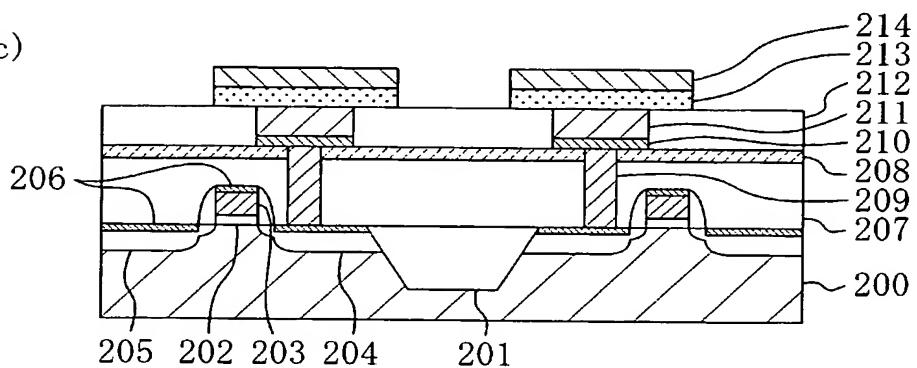
(a)



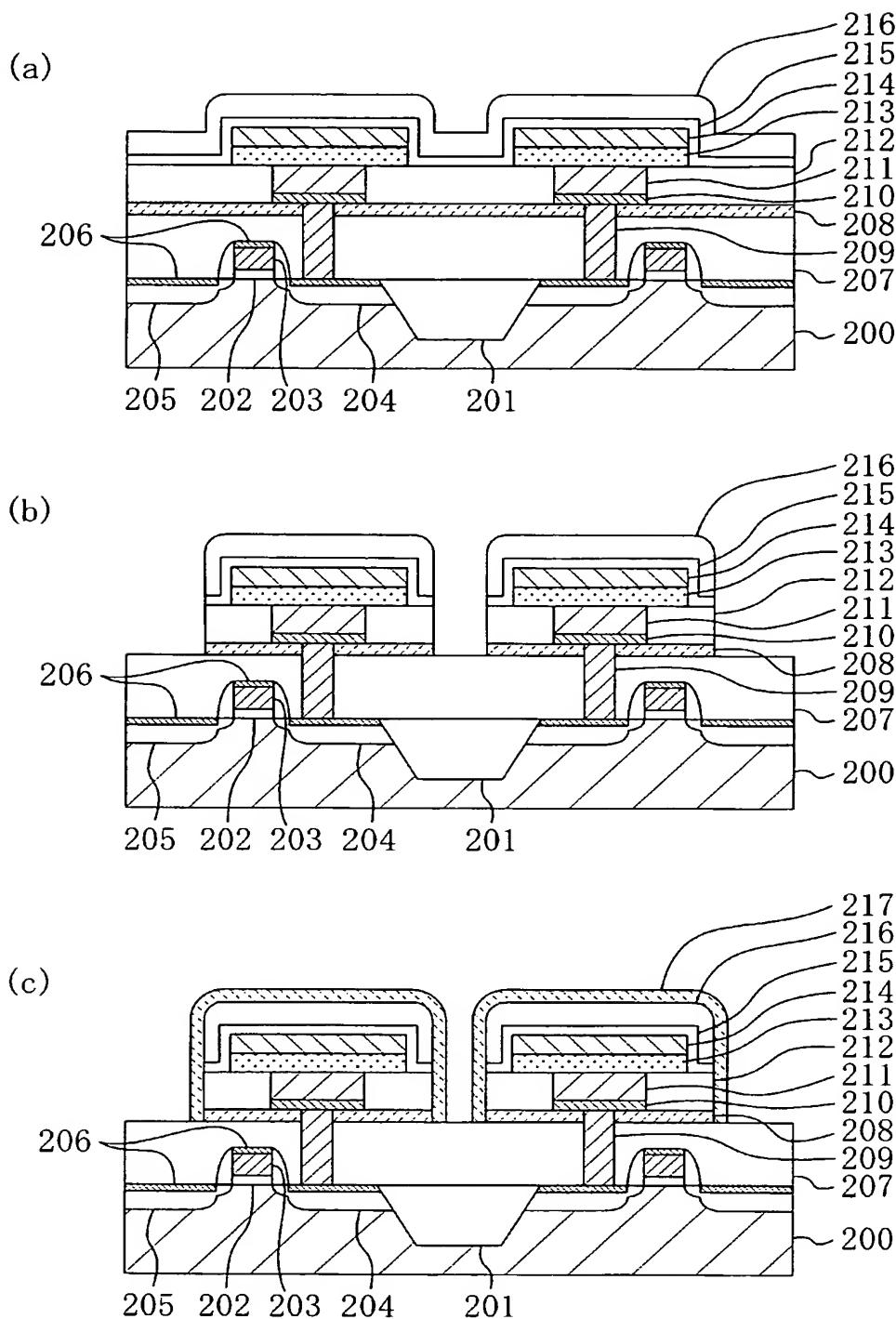
(b)



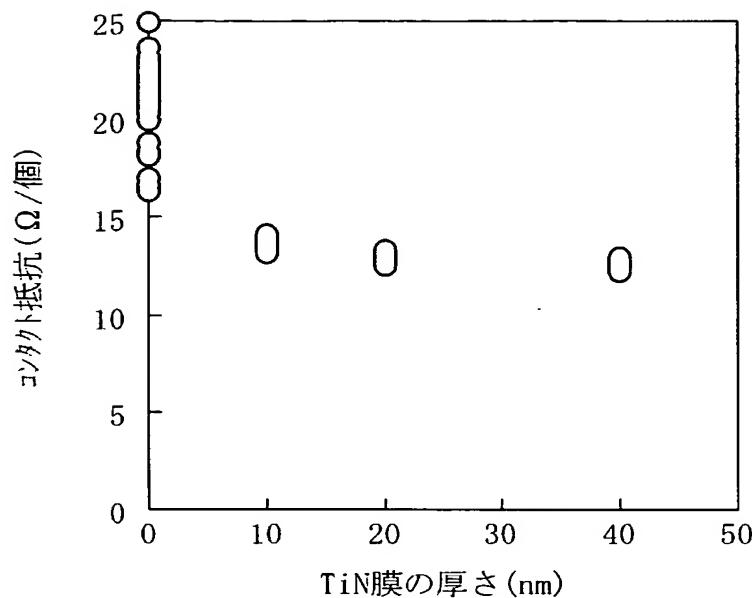
(c)



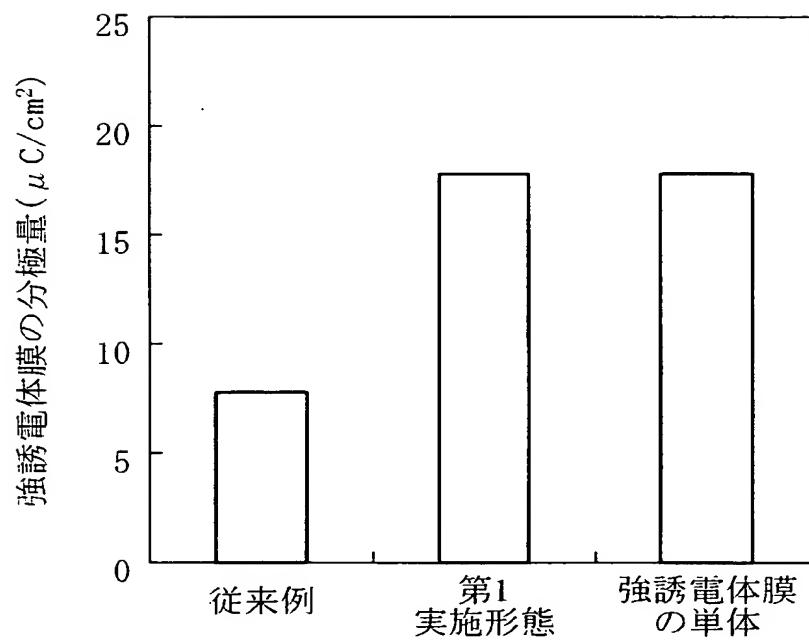
【図8】



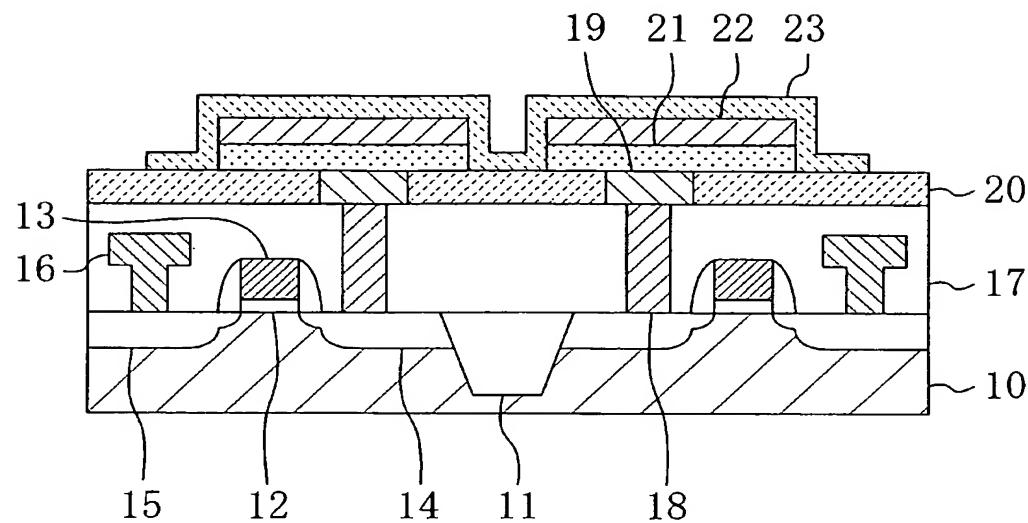
【図 9】



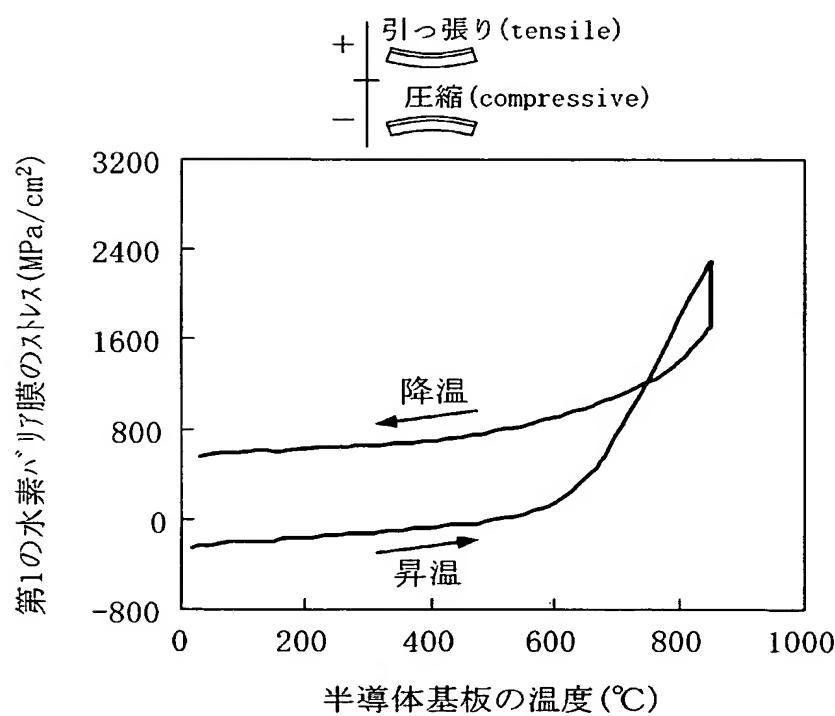
【図 10】



【図11】



【図12】



【書類名】 要約書

【要約】

【課題】 水素雰囲気中での熱処理工程において容量絶縁膜に水素が侵入する事態を確実に防止する。

【解決手段】 半導体基板100の上には第1の水素バリア膜108が形成され、該第1の水素バリア膜108の上には導電膜110を介して容量下部電極111が形成されている。第1の水素バリア膜108の上には、容量下部電極111の側面を覆い且つ容量下部電極111の上面を露出させるように第1の絶縁膜112が形成されている。容量下部電極111及び第1の絶縁膜112の上には絶縁性金属酸化物よりなる容量絶縁膜113が形成され、該容量絶縁膜113の上には容量上部電極114が形成されている。第2の絶縁膜115は、容量絶縁膜113及び容量上部電極114を覆うと共に容量上部電極114の角部と対応する部位に傾斜部115aを有している。第2の絶縁膜115の上には第2の水素バリア膜116が形成されている。

【選択図】 図1

特願2003-074731

出願人履歴情報

識別番号 [000005821]

1. 変更年月日 1990年 8月28日

[変更理由] 新規登録

住所 大阪府門真市大字門真1006番地
氏名 松下電器産業株式会社